Soit un compteur/décompteur avec chargement synchrone binaire 4 bits ayant les entrées suivantes :

P ( 4 bits ) , load (1bit) , Clk(horloge), clear ( 1 bit ) , count\_ena(1 bit) , direction ( 1bit)

Le compteur contionne comme suit :

* Si clear = 1 , on a une remise a zéro
* Si load = 1 et clear = 0, alors chargement ( sortie = p)
* Si le front de clk est montant alors : ( si count\_ena = 1 et direction =0 : décomptage) , ( si count\_ena = 1 et direction = 1 : comptage) .

Ecrire un code vhdl de reconnaissance de forme de 8 bits qui fonctionne comme suit :

* Les bits sont recus séquentiellement dans seul signal ‘ dataIN’
* Les 8 bits d’identification ‘ pattern ‘ sont recus en paralléle , ‘load’=1 indque la réception de nouveaux bits a identifier.
* La correspondance se fait par le ‘ found’ qui sera mis a 1 si le signal ‘pattern ‘ est le meme que le signal ‘ dataIN’ , c’est-à-dire il ya une identification.
* Un signal ‘clk’ synchronise le tous.
* ‘ reset ‘ permet de mettre a zéro le systéme.

Inputs : reset , clk patter ( 8 bits ) , dataIN ( 8 bits ) , load

Output : found.